

PCT

世界知的所有権機関
国際事務局
特許協力条約に基づいて公開された国際出願



(51) 国際特許分類6
H01L 29/80, H02M 1/08

A1

(11) 国際公開番号

WO00/14809

(43) 国際公開日

2000年3月16日(16.03.00)

(21) 国際出願番号

PCT/JP98/04039

(22) 国際出願日

1998年9月9日(09.09.98)

(71) 出願人 (米国を除くすべての指定国について)
株式会社 日立製作所(HITACHI, LTD.)(JP/JP)
〒101-8010 東京都千代田区神田駿河台四丁目6番地
Tokyo, (JP)

(72) 発明者 ; および

(75) 発明者 / 出願人 (米国についてのみ)

岩崎貴之(IWASAKI, Takayuki)(JP/JP)

八尾 勉(YATSUO, Tsutomu)(JP/JP)

小野瀬秀勝(ONOSE, Hidekatsu)(JP/JP)

大野俊之(OONO, Toshiyuki)(JP/JP)

〒319-1221 茨城県日立市大みか町七丁目1番1号

株式会社 日立製作所 日立研究所内 Ibaraki, (JP)

(74) 代理人

弁理士 小川勝男(OGAWA, Katsuo)

〒100-8220 東京都千代田区丸の内一丁目5番1号

株式会社 日立製作所内 Tokyo, (JP)

(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)

添付公開書類

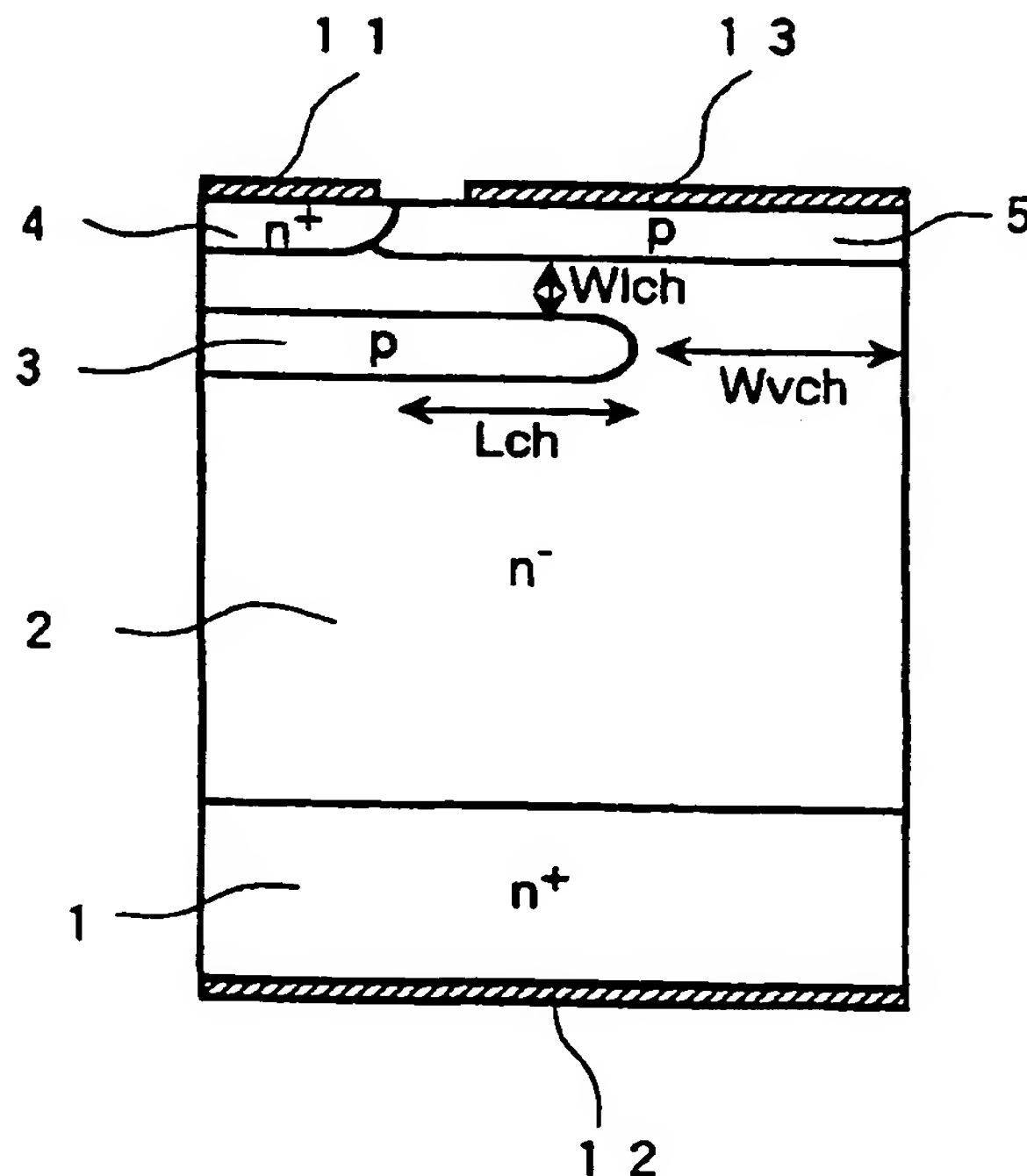
国際調査報告書

(54) Title: STATIC INDUCTION TRANSISTOR AND ITS MANUFACTURING METHOD, AND POWER CONVERTER

(54) 発明の名称 静電誘導トランジスタ及びその製造方法並びに電力変換装置

(57) Abstract

A static induction transistor fabricated in a semiconductor substrate whose energy band gap is wider than that of silicon, comprising a first gate region connected with a gate electrode and a second gate region in a first semiconductor region to serve as a drain region. The first gate region also contacts with a second semiconductor region to serve as a source region. The OFF performance is improved.



(57)要約

本発明による静電誘導トランジスタは、シリコンよりもエネルギーバンドギャップが大きな半導体基板においてゲート電極が接続される第1のゲート領域とドレイン領域となる第1半導体領域内に位置する第2のゲート領域を有し、第1のゲート領域はソース領域となる第2半導体領域と接する。本発明によれば、静電誘導トランジスタのオフ性能が向上する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリ・ランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
HA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SN	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TD	チャード
BG	ブルガリア	GN	ガンビア	MC	モナコ	TC	トーゴ
BJ	ベナン	GW	ギニア・ビサウ	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GR	ギリシャ	MG	マダガスカル	TZ	タンザニア
BY	ベラルーシ	HR	クロアチア	MK	マケドニア旧ユーゴスラヴィア共和国	TM	トルクメニスタン
CA	カナダ	HU	ハンガリー	ML	マリ	TR	トルコ
CF	中央アフリカ	ID	インドネシア	MN	モンゴル	TT	トリニダッド・トバゴ
CG	コンゴ	IE	アイルランド	MR	モーリタニア	UA	ウクライナ
CH	スイス	IL	イスラエル	MW	マラウイ	UG	ウガンダ
CI	コートジボアール	IN	インド	MX	メキシコ	US	米国
CM	カメルーン	IS	アイスランド	NE	ニジェール	UZ	ウズベキスタン
CN	中国	IT	イタリア	NL	オランダ	VN	ヴェトナム
CR	コスタ・リカ	JP	日本	NO	ノルウェー	YU	ユーゴスラビア
CJ	キューバ	KE	ケニア	NZ	ニュージーランド	ZA	南アフリカ共和国
CY	キプロス	KG	キルギスタン	PL	ポーランド	ZW	ジンバブエ
CZ	チェッコ	KP	北朝鮮	PT	ポルトガル		
DE	ドイツ	KR	韓国	RO	ルーマニア		
DK	デンマーク						

明 細 書

静電誘導トランジスタ及びその製造方法並びに電力変換装置

技術分野

本発明は、静電誘導トランジスタに関する。

背景技術

電力変換器の大電力かつ高周波化の要求にともなって、可制御電流が大きいだけでなく、低損失で、かつ高速に動作する半導体スイッチング素子が要求されている。

このような要求に応えるため、SiC（炭化シリコン）を素材としたスイッチング素子が提案されている。例えばIEEE Electron Devices Letters, Vol. 18, NO. 3, p. 93-95 (1997), "High-Voltage Double-Implanted Power MOSFET's in 6H-SiC"に記載されているようなパワーMOSFETが検討されている。しかし、電流の通路となるチャネル層にキャリアの移動度の低い反転層が使われているのでオン電圧が高くなるという問題がある。

この問題を回避するためチャネル層として反転層を使用しない静電誘導トランジスタ（例えばIEEE Trans. on Electron Devices, Vol. ED-22, p. 185-197, 1975, "Field-effect Transistor versus Analog Transistor(Static Induction Transistor)に記載されている）が有る。

第2図は従来の静電誘導トランジスタの断面図を示す。この半導体基板は n^+ 型領域1と n 型領域2と p 型領域5からなり、ソース電極11と、ドレイン電極12と、ゲート電極13が設けられている。ソー

スに対して、ゲートの電位を低くすることにより、p型領域5の間、いわゆるチャネルと呼ばれる領域に空乏層を広げ、ドレイン電極12とソース電極11を流れる電流をオフすることができる。チャネル領域にはSiCの基体を使用しているので極めて低いオン抵抗が実現できる可能性が例えばInternational Conference on Silicon Carbide, III-nitrides and Related Materials-1997, Abstract p.443 (1997), "Electrical Characteristics of A Novel Gate Structure 4H-SiC Power Static Induction Transistor" で報告されている。

しかしながら、第2図の基本構造では、オフ特性が著しく悪いという問題がある。すなわち、オフするために大きなゲート電圧を加えなければならない。これはSiCの不純物拡散係数が小さいことに起因する。シリコンでは深いp型領域を形成する場合には熱拡散を用いるがSiCではこのプロセスが適用できないため、p型領域5のような局所的なp型領域はイオン注入により形成するが、高エネルギー注入といわれる2 MeV程度のエネルギーで比較的原子量が小さいボロンを注入してもその深さは高々2 μ m程度である。より高いエネルギーの注入で接合を深くすることは可能だが、その後の熱処理でも除去出来ない欠陥が残存し、結果的にリーク電流が増加してオフ特性が悪くなる。

また、高エネルギーのイオン注入を部分的に行う場合のそれに耐える注入マスクを形成することは困難である。

第2図において X_j をチャネル長、 W_{ch} をチャネル幅と呼ぶ。 X_j を大きくする代案としてチャネル幅 W_{ch} を小さくする手段も考えられる。しかし、その場合は W_{ch} を著しく微細化する必要があり、オン特性を著しく悪化するという問題がある。

上記問題を解決するために、ゲートを表面p型領域と埋込p型領域か

ら構成し、チャネルを横方向とする考えの構造が提案されている。例えば、特開昭59-150474号公報に静電誘導サイリスタの具体的適用例が示されている。第3図はこの提案に基づくSiCの静電誘導トランジスタの断面図を示す。この半導体基板は n^+ 型領域1と n^- 型領域2とp型領域5からなり、ソース電極11と、ドレイン電極12と、ゲート電極13が設けられている。この例では半導体基板の一方の主表面に設けられた n^+ 型ソース領域4とp型の第1のゲート領域5よりも深い位置に両領域の射影部分を含んだp型埋め込み層からなる第2のゲート領域3が形成されている。第2のゲート領域3は主表面に平行な面内において、欠落した縦チャネル部分 W_{vch} を有している。第2のゲート領域3を第1のゲート領域5と同電位として、ゲート電極13にソース電極11に対して負の電位を加えることでソース、ドレイン間の電流をオフすることができる。

第2図に示した先の従来例との動作の違いを以下説明する。第4図は第3図の従来例の導通状態での断面図を示す。21は電子の流れを示す。この場合、ソース電極11から注入した電子は、チャネルを横方向に流れ、その後ドレイン側に向きを変えて、ドレイン電極12に流れ込む。すなわち、チャネルが横方向となる。この例では、チャネルが横方向であるため、チャネル長はイオン注入深さなどの制限がなく、ホットエッチングなどの微細加工技術で自在に調整できる。さらに、チャネル幅がエピタキシャル成長の厚さやp型ゲート領域を形成する際のイオン注入エネルギーで調整できるため、高い制御性が得られる。以上より、この従来例によりオン特性を著しく損ねることなくオフ特性の優れたSiC静電誘導トランジスタが期待できる。

しかしながら、第3図に示した従来例にはチャネルのピンチオフ特性

に強く影響するチャネル長の正確な制御に極めて高い精度のパターン合わせ作業が要求されるという問題がある。すなわち、従来のSiを基材とした従来例ではゲート・ソース間接合の電圧を高くするため、 n^+ ソース領域4と第1のゲート領域5との間には n^- 領域2の一部が介在されている。従来のSiの場合の考え方をそのままSiCを基材とする素子に適用した場合、介在される n^- 領域の必要な幅は $1\mu\text{m}$ 程度となり、 n^+ 領域4と第1のゲート領域5を形成する際のパターン合わせに極めて高い精度が要求されることになる。この結果、ピンチオフ特性の一定した素子を製造することが大変困難になる。

発明の開示

本発明の第1の目的は、オン特性の低下を招くことなく、オフ特性の優れた静電誘導トランジスタの構造を提案することである。

本発明の他の目的は、上記の静電誘導トランジスタを高歩留まりで製造できる構造ならびに製造方法を提供することである。

本発明の他の目的は、上記の静電誘導トランジスタを使った高性能の電力変換装置を提供することである。

第1の本発明による静電誘導トランジスタでは、シリコンよりもエネルギーバンドギャップが大きな半導体基板が、ドレイン領域となる第1導電型の第1半導体領域の表面及び内部にそれぞれ位置する第2導電型の第1のゲート領域及び第2導電型の第2のゲート領域を含んでいる。第1のゲート領域は、第1半導体領域の表面に位置しソース領域となる第1導電型の第2半導体領域と接する。本発明によれば、第2の半導体領域と第1のゲート領域とが接しているので、第2半導体領域のパターンと第1のゲート領域のパターンとの位置合わせ（アラインメント）に

高い精度を必要としない。さらに、半導体基板の半導体材料のエネルギーバンドギャップがシリコンよりも大きいので、第2の半導体領域と第1のゲート領域とが接していても、高いゲート耐圧が得られる。従って、静電誘導トランジスタのオフ特性が向上する。

第2の本発明による静電誘導トランジスタでは、シリコンよりもエネルギーバンドギャップが大きな半導体基板において、ドレイン領域となる第1導電型の第1半導体領域とゲート電極とがショットキー接合を形成する。これにより、高いゲート耐圧が得られる。さらに、本発明によれば、ゲート電極部にpn接合を用いずショットキー接合を用いているので、高いゲート耐圧を得る場合の半導体層パターン相互の位置合わせ精度の問題がない。

なお、上記の第1及び第2導電型は、それぞれp型またはn型であり、かつ互いに反対導電型である。

本発明による静電誘導トランジスタの製造方法においては、エピタキシャル法によりゲート領域を形成する。従って、高い歩留まりで、ゲート耐圧の高い静電誘導トランジスタを作成できる。

本発明による電力変換装置では、上記のような本発明による静電誘導トランジスタをオン・オフすることにより電力変換を行う。従って、電力変換装置が高性能化される。

図面の簡単な説明

第1図は本発明を適用したSiC静電誘導トランジスタの第一の実施例を示す断面図。

第2図は従来の静電誘導トランジスタの一例を示す断面図。

第3図は従来の静電誘導トランジスタの他の例を示す断面図。

第4図は第2図の静電誘導トランジスタの導通状態での電子の流れを示す断面図。

第5図は本発明を適用したSiC静電誘導トランジスタの第二の実施例を示す断面図。

第6図は本発明を適用したSiC静電誘導トランジスタの第三の実施例を示す断面図。

第7図は本発明を適用したSiC静電誘導トランジスタの第四の実施例を示す断面図。

第8図は本発明を適用したSiC静電誘導トランジスタのより具体的な実施例を示す断面図。

第9図は単位セルの二次元配置の他の実施例。

第10図は単位セル二次元配置のさらに他の実施例。

第11図は単位セルのゲート領域の他の連結手段を示す実施例。

第12図は第1図の実施例の特徴的な作製過程の一部を示す断面図。

第13図は第5図の実施例の特徴的な作製過程の一部を示す断面図。

第14図は本発明を適用したSiC静電誘導トランジスタを使ったインバータ装置の一実施例の主回路。

発明を実施するための最良の形態

以下、本発明を実施例を開示しながら詳細に説明する。

第1図は本発明の第1の実施例であり、SiC（炭化シリコン）の静電誘導トランジスタの断面図を示す。半導体基板は n^+ 型領域1と n^+ 型領域1に接し n^- 型領域1よりも低不純物濃度の n^- 型領域2と、 n^- 型領域2の表面において互いに接し n^- 型領域2よりも高不純物濃度の n^+ 型領域4および第1のゲート領域となるp型領域5からなる。

n^+ 型領域 4, n^+ 型領域 1, p 型領域 5 には、それぞれソース電極 11, ドレイン電極 12, ゲート電極 13 が電氣的に接続される。 n^- 型領域は n^+ 領域 4 を介してドレイン電極 12 と接続されるが、ドレイン電極が直接オーミック接触していてもよい。さらに、半導体基板の一方の主表面に設けられた n^+ 型領域 4 と p 型領域 5 の深い位置に両領域の射影部分を含んだ p 型埋め込み層からなる第 2 のゲート領域 3 が形成されている。 n^- 型領域 2 は、第 2 のゲート領域を含む主表面に平行な面内において、第 2 のゲート領域が部分的に欠落した縦チャネル部分 W_vch を有している。ゲート電極 13 に負の電位を加えたときに第 1 及び第 2 のゲート領域間で空乏層がピンチオフし易くするために、第 1 のゲート領域 5 と第 2 のゲート領域 3 の互いの射影の重なり部分の長さ L_{ch} は、第一のゲート領域 5 と第 2 のゲート領域 3 に挟まれた n^- 型領域の幅 W_{lch} より大きくする。

p 型領域 3 をフローティングの状態, n^+ 型領域 4 と同電位、またはゲート領域である p 型領域 5 と同電位として、ゲート電極 13 にソース電極 11 に対して負の電位を加えることでソース電極とドレイン電極間の電流をオフすることができる。なお、本実施例では図示していないが、第 2 のゲート領域に第 2 のゲート電極を設け制御信号を投与することもできる。

本実施例では、半導体基板が、Si の約 10 倍の最大破壊電界強度を有する SiC であるため、高不純物濃度を有する n^+ 型領域 4 及び p 型領域 5 が接していても、数 10 V ~ 数 100 V の高いゲート耐圧を得ることができる。また、 n^+ 型領域 4 と p 型領域 5 の形成時において両領域のパターンを重ねて形成できるので、アラインメント精度が低減される。すなわち、低いアラインメント精度でも、確実にゲート耐圧を高く

できる。静電誘導トランジスタではゲートとソース間の接合に逆バイアスを印加してゲート領域相互をピンチオフさせることによってドレインとソース間の電圧を阻止する。したがって、高い阻止電圧の素子には可能な限り高い耐電圧のゲート・ソース接合が要求される。従って、本実施例によれば、高耐圧の静電誘導トランジスタを高い製造歩留まりで得られる。

第5図は本発明の第二の実施例であり、第一の実施例の変形例である。第一のゲート領域が、 n^+ 型領域4に接する n^- 型領域2よりは高不純物濃度ではあるが比較的low濃度のp型部分51とゲート電極に接しp型部分51よりも高濃度の p^+ 型部分52に分けられている。本実施例によれば、低抵抗のゲート電極接続を保持しつつ高耐圧かつ低リーク電流のゲート・ソース接合が形成できる。

第6図は本発明の第三の実施例であり、SiC静電誘導トランジスタの断面図を示す。本実施例では半導体基板の一方の主表面において、 n^- 領域2にショットキー接合を形成するショットキー電極14が設けられ、前記第一の実施例の第1のゲート領域5およびゲート電極13と同じ作用をする。本実施例においては、SiC半導体表面のショットキー接合により高いゲート耐圧が得られる。すなわち、ゲート耐圧を得るために半導体基板表面にpn接合を形成する必要がない。従って、pn接合を形成する際のアラインメントの問題がなく、高い歩留まりで高耐圧の静電誘導トランジスタを製造できる。

本実施例においても、p型領域3をフローティングの状態、 n^+ 型ソース領域4と同電位、またはゲート電極14と同電位として、ゲート電極14にソース電極11に対して負の電位を加えることでソース、ドレイン間の電流をオフすることができる。また、本実施例でも、第2のゲ

ート領域 3 に第 2 のゲート電極を設け、制御信号を投与することもできる。

第 7 図は本発明の第四の実施例であり、第一の実施例の他の変形例である。第 2 のゲート領域 3 が設けられた平面の第 2 のゲート領域より隔離された位置に p^- 型埋め込み領域 3 1 がある。該領域 3 1 は電氣的にフローティングの状態にあり、ドレイン電極・ソース電極間が電圧を阻止するとき、第 1 および第 2 のゲート領域間のピンチオフをより容易にする作用をもち、高耐圧のオフ特性を与える。本実施例では第一の実施例に p^+ 型埋め込み領域 3 1 を付加した例を示したが、同様に第二、および第三の実施例にも付加できる。また、 p^+ 型埋め込み領域が 1 ヶの例を示したが、この領域を 2 ヶ以上の複数個設けてもよい。

前記した各実施例ではいずれも半導体素子の単位セルの断面構造をもとに説明したが、より具体的構造としては複数個のセルが一個の半導体基体の中に配置されるものである。第 8 図はそのような実施例で、(a) は前記の第 1 の実施例で説明した基本セルを同一基体内に配置したものであり、(b) はその線分 AA' の位置における断面図である。図中の各部に付した構成部分の符号が第 1 図と同じ部分はその構造、導電型および作用が等しい部分を指している。図には示されていないが、各セルのソース電極 1 1 は電氣的に互いに連結されて、それぞれのセルが半導体基体内において並列に動作するよう接続される。また、図では 4 個のみのセルが示されているが、セルの数は半導体基体の電流容量に応じて増加される。この実施例では、単位セルとしてほぼ正方形の例を示したが、セルの二次元的な形状は正方形に制限されるものではなく、長方形であったり、角部に丸みをつけた方形であったり、多角形であったり、さらには円形であっても構わない。しかし、円形セルの場合にはセルが

クロスに配置される部分（第8図（a）では線分abとcdが直角に交差する部分）において縦チャンネル部分Wvchが広くなるため、そこでのピンチオフが不十分となり、高電圧の電圧オフ特性を損ねる危険がある。したがって、セルの形状としては、辺および小さな丸み（曲率半径）の角部を有する方形もしくは多角形が望ましい。さらに、通常、正方形に近いチップ内に配置されるセルの形状としてはチップに相似の形状が優れている。以下に、正方形セルをもとに本発明の具体的なセル配置構造を説明する。

第9図は単位セルの二次元配置の他の実施例である。（a）は半導体基体の表面図、（b）はその線分AA'の位置における断面図、（c）は線分abの位置における断面図である。図中の各部に付した構成部分の番号が第8図と同じ部分はその構造、導電型および作用が等しい部分を指している。第8図の実施例との相違点は各セルの第2のゲート領域3を連結する第2のゲート領域3の拡張部分33が設けられている点である。本図には示されていないが、電氣的に連結された第2のゲート領域に第2のゲート電極が低抵抗接続されており、前記した通り、その電位を n^+ ソース領域4と同電位、または第1のゲート領域であるゲート領域5と同電位としてオン、オフ制御することができる。オン時の電流通路となる縦チャンネル部分の面積の減少を最小限にして第2のゲート領域を連結する手段として本実施例では方形セルの4つの辺に連結部分を設けた点が特徴である。勿論、4辺の全てに設けなくとも、1～3辺でのみ連結しても構わない。

第10図は単位セルの二次元配置のさらに他の実施例である。（a）は半導体基体の表面図、（b）はその線分AA'の位置における断面図、（c）は線分abの位置における断面図である。図中の各部に付した構

成部分の番号が第 9 図に示したと同じ部分はその構造、導電型および作用が等しい部分を指している。この実施例の特徴は第 2 のゲート領域 3 の前記連結部分 3 3 が方形セルの 4 つの角に設けた点である。セルがクロスに配置される部分（第 10 図（a）では線分 a b と c d が直角に交差する部分）において縦チャネル部分の幅 $W_{vc h}$ が広くなり、そこでのピンチオフが不十分となるため高電圧の電圧オフ特性を損ねる危険がある。本実施例は前記のクロスに配置される部分が連結部分となっているので、このオフ特性の低下を防止できる点で第 9 図で示した方形セルの辺部で連結する実施例より優れている。勿論、本実施例でもオフ特性が低下しない範囲の縦チャネル部分の幅 $W_{vc h}$ が狭く設定してあれば、4 角の全てに設けなくとも、1 ～ 3 角でのみ連結しても構わない。

第 11 図は単位セルの第 2 のゲート領域の他の連結手段を示す実施例である。（a）は半導体基体の表面図、（b）はその線分 A A' の位置における断面図、（c）は線分 a b の位置における断面図である。図中の各部に付した構成部分の番号が第 8 図と同じ部分はその構造、導電型および作用が等しい部分を指している。方形セルの角部において半導体基体の一方の主表面から前記第 1 の p 型ゲート領域 5 を貫通して前記第 2 のゲート領域 3 に到達する深さに p 型層 3 4 が設けられている。p 型層 3 4 によって単位セルの第 2 のゲート領域 3 が連結されるとともに、さらに第 2 のゲート領域 3 が前記第 1 の p 型ゲート領域 5 と電氣的に連結されることになり、第 2 のゲート電極を新たに具備することなく二つのゲート領域を同電位とするゲート制御が可能になるという利点がある。本実施例では p 型層 3 4 を方形セルの全ての角部に設けた例を示したが、方形セルの一部の角にのみ設けても目的の作用が得られることは容易に理解できよう。また、p 型層 3 4 を第 9 図および第 10 図に示した様な

方形セルの辺および角の部分において第2のゲート領域3の連結部分33のある場合にも、第1および第2のゲート領域の接続手段として適用できるものである。

以上のセル配置に係わる実施例を方形形状のセルについて説明したが、長方形ならびに多角形のセル構造にも適用できることは当然である。

また、以上のセル配置に係わる実施例を本発明の基本セルに関する第1図の実施例で説明したが、勿論、このような複数個のセルの配置は前記した本発明の他の実施例で示したセル構造にも適用できる。

以上の各実施例によれば、オフ特性が優れ、かつ作製が容易なSiC静電誘導トランジスタを実現することができる。

第12図は第一の実施例のSiC静電誘導トランジスタの作製工程の一部を示す。SiC半導体基板の n^- 型領域2の表面から、レジスト（図示せず、以下同様）をマスクとしてアルミニウムまたはボロンをイオン注入することによりp型領域3を形成し（a）、エピタキシャル法により n^- 型領域2を積層成長させる（b）。次に、レジストをマスクとして、窒素をイオン注入して n^+ 型領域4、アルミニウムまたはボロンをイオン注入することによりp型領域5を、両領域が接するように形成する（c）。その後、ソース電極11、ドレイン電極12、ゲート電極13を形成し素子は完成する。

第13図は第二の実施例の素子の作製工程の一部を示す。SiC半導体基板の n^- 型領域2の表面から、レジストをマスクとしてアルミニウムまたはボロンをイオン注入することにより、第2のゲート領域となるp型領域3を形成し（a）、エピタキシャル法により、 n^- 型領域2を成長させ、さらにその上に第1のゲート領域となるp型領域51を積層する（b）。次に、レジストをマスクとして、窒素をイオン注入して

n^+ 型領域 4 を形成する (c)。さらにレジストをマスクとして、ボロン望ましくはアルミニウムをイオン注入して p^+ 型領域 5 2 を形成する (c)。その後、ソース電極 1 1, ドレイン電極 1 2, ゲート電極 1 3 を形成し素子は完成する。

p 型領域 5 1 をエピタキシャル成長で形成することにより、 n^+ 型領域 4 と p 型領域 5 をいずれもイオン注入で形成する第 9 図で示した製造方法に比べて、イオン注入層の重ね合い部分において残存する結晶欠陥によるゲート・ソース接合のリーク電流の増加の問題を回避でき、優れた阻止特性の接合が得られる。

第 1 4 図は、本発明を適用した SiC 静電誘導トランジスタおよびそれに逆並列に接続されるダイオードを用いて、三相誘導電動機駆動用インバータ装置を構成した一例を示したものである。六個の静電誘導トランジスタ, $SW11$, $SW12$, $SW21$, $SW22$, $SW31$, $SW32$ をオン・オフすることにより直流電力を交流電力に変換して三相誘導電動機を制御する。本発明による SiC 静電誘導トランジスタは損失が小さく、冷却系を簡素化することができる。すなわち、インバータ装置を用いたシステムの低コスト化, 高効率化が達成できる。

以上、本発明の実施例を説明したが、本発明はさらに多くの適用範囲あるいは派生範囲をカバーするものである。

上記各実施例では、半導体基板の半導体材料が SiC であったが、他の半導体材料も適用できる。特に、ダイヤモンド, 窒化ガリウム (GaN) などの Si よりもエネルギーバンドギャップが大きなワイドギャップ半導体材料に有効である。

なお上記各実施例において各領域の導電型を反転させた SiC 静電誘導トランジスタに対しても、本発明を適用できる。

上述したように、本発明によれば、オン特性の優れた SiC 静電誘導トランジスタをプロセス上の困難を伴わずに実現することができる。

請 求 の 範 囲

1. 第1導電型の第1半導体領域と、

前記第1半導体領域の表面に位置し、前記第1半導体領域よりも高不純物濃度を有する第1導電型の第2半導体領域と、

前記第1半導体領域の表面に位置する第2導電型の第1のゲート領域と、

前記第1半導体領域内において前記第2半導体領域の射影を含みかつ前記第1のゲート領域の射影を部分的に含む、第2導電型の第2のゲート領域と、

を有するシリコンよりもエネルギーバンドギャップが大きな半導体基板と、

前記第1半導体領域に電氣的に接続されるドレイン電極と、

前記第2半導体領域に電氣的に接続されるソース電極と、

前記第1のゲート領域に電氣的に接続されるゲート電極とを備え、

前記第1半導体領域の前記表面において、前記第2半導体領域と前記第1のゲート領域とが接触することを特徴とする静電誘導トランジスタ。

2. 請求項1において、前記静電誘導トランジスタが阻止状態のとき、前記第2のゲート領域の電位が、フローティング、前記第2半導体領域と同電位、前記第1のゲート領域と同電位のいずれかであることを特徴とする静電誘導トランジスタ。

3. 請求項1において、前記第2のゲート領域における前記第2半導体領域の射影と重なる部分の長さが、前記第1のゲート領域と前記第2のゲート領域との間に挟まれる前記第1半導体領域の部分の幅よりも大きいことを特徴とする静電誘導トランジスタ。

4. 請求項 1 において、前記第 1 のゲート領域が、前記第 2 半導体領域と接する第 1 の部分と、前記第 1 の部分よりも高不純物濃度を有し前記ゲート電極と接触する第 2 の部分と、を有することを特徴とする静電誘導トランジスタ。

5. 請求項 1 において、さらに、前記第 1 半導体領域内に、前記第 2 のゲート領域とは分離された第 2 導電型の埋め込み領域を有することを特徴とする静電誘導トランジスタ。

6. 請求項 1 において、前記半導体基板の半導体材料が、炭化シリコン、ダイヤモンド、窒化ガリウムの内から選択されることを特徴とする静電誘導トランジスタ。

7. 第 1 導電型の第 1 半導体領域と、

前記第 1 半導体領域の表面に位置し、前記第 1 半導体領域よりも高不純物濃度を有する第 1 導電型の第 2 半導体領域と、

前記第 1 半導体領域内において前記第 2 半導体領域の射影を含む、第 2 導電型のゲート領域と、

を含むシリコンよりもエネルギーバンドギャップが大きな半導体基板と、

前記第 1 半導体領域に電氣的に接続されるドレイン電極と、

前記第 2 半導体領域に電氣的に接続されるソース電極と、

前記第 1 半導体領域の前記表面に電氣的に接続されるゲート電極とを備え、

前記第 1 半導体領域と前記ゲート電極とがショットキー接合を形成することを特徴とする静電誘導トランジスタ。

8. 請求項 7 において、前記複数の第 2 のゲート領域が第 2 導電型の半導体層によって互いに連結されていることを特徴とする静電誘導トランジスタ。

9. 請求項8において、前記半導体層が前記第2のゲート領域の拡張部分であることを特徴とする静電誘導トランジスタ。

10. 請求項8において、前記半導体層が前記第1のゲート領域を貫通し前記第2のゲート領域に到達していることを特徴とする静電誘導トランジスタ。

11. シリコンよりもエネルギーバンドギャップが大きな半導体基板の第1導電型の第1半導体領域の表面に第2導電型の第2のゲート領域を形成する工程と、

前記第1半導体領域及び前記第2のゲート領域の上に、エピタキシャル法により前記第1半導体領域を成長させる工程と、

成長させた前記第1半導体領域の上に、エピタキシャル法により第2導電型の第1のゲート領域を形成する工程と、
を含むことを特徴とする静電誘導トランジスタの製造方法。

12. 静電誘導トランジスタをオン・オフすることにより電力変換を行う電力変換装置において、

前記静電誘導トランジスタが、

第1導電型の第1半導体領域と、

前記第1半導体領域の表面に位置し、前記第1半導体領域よりも高不純物濃度を有する第1導電型の第2半導体領域と、

前記第1半導体領域の表面に位置する第2導電型の第1のゲート領域と、

前記第1半導体領域内において前記第2半導体領域の射影を含みかつ前記第1のゲート領域の射影を部分的に含む、第2導電型の第2のゲート領域と、

を有するシリコンよりもエネルギーバンドギャップが大きな半導体基板

と、

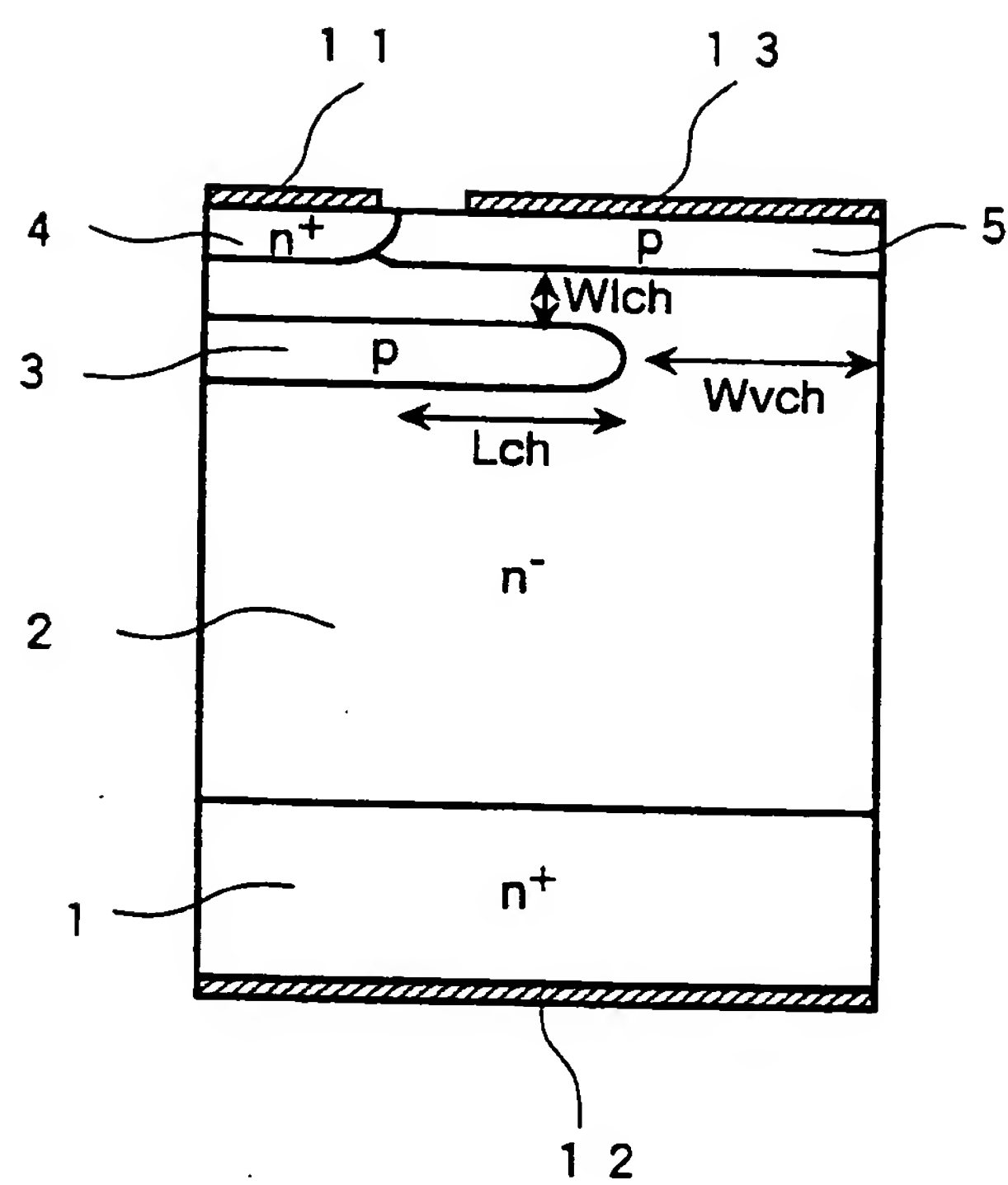
前記第 1 半導体領域に電氣的に接続されるドレイン電極と、
前記第 2 半導体領域に電氣的に接続されるソース電極と、
前記第 1 のゲート領域に電氣的に接続されるゲート電極と
を備え、

前記第 1 半導体領域の前記表面において、前記第 2 半導体領域と前記
第 2 半導体領域とが接触することを特徴とする電力変換装置。

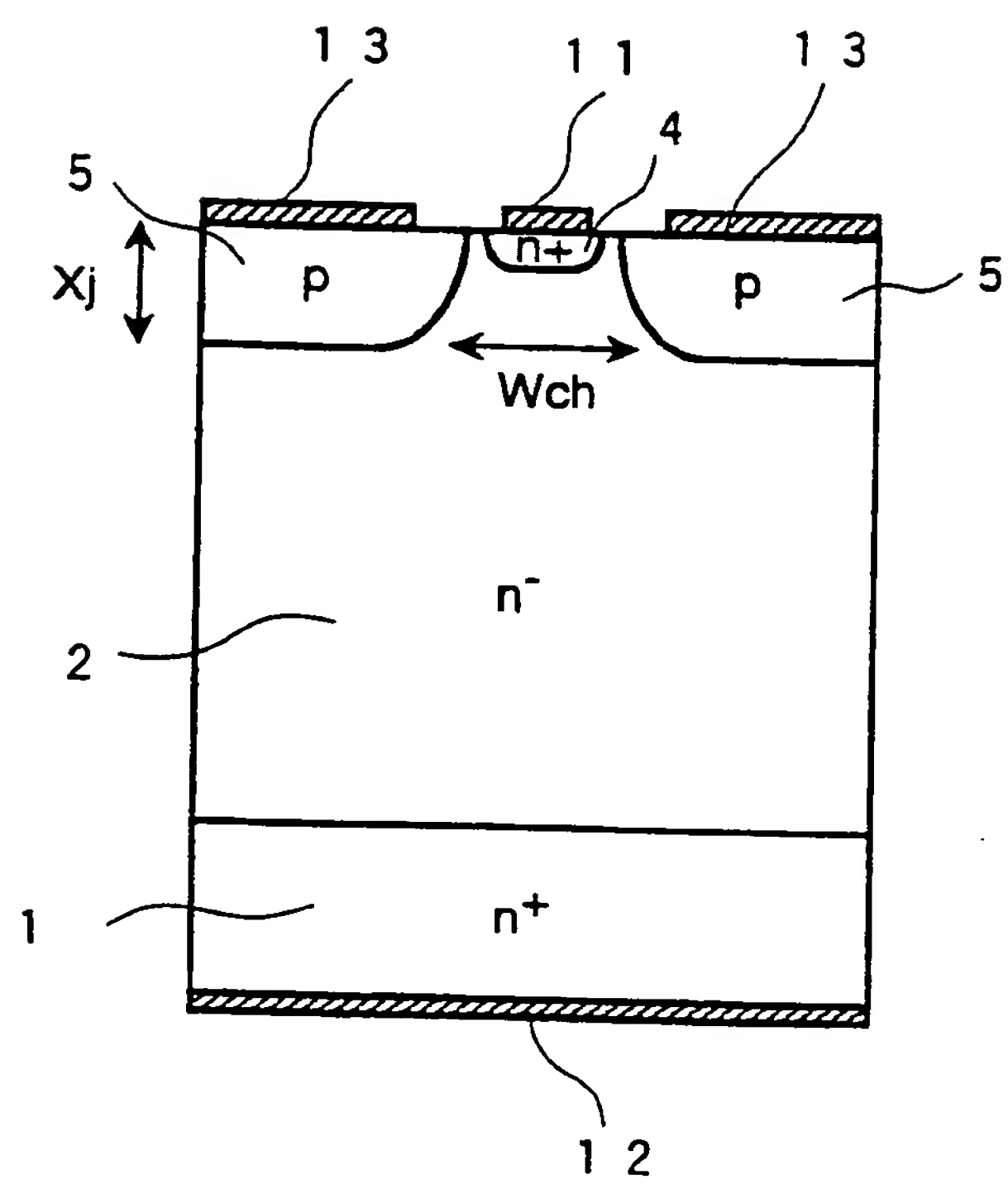
1 3 . 静電誘導トランジスタをオン・オフすることにより電力変換を行
う電力変換装置において、

前記静電誘導トランジスタが、
第 1 導電型の第 1 半導体領域と、
前記第 1 半導体領域の表面に位置し、前記第 1 半導体領域よりも高不
純物濃度を有する第 1 導電型の第 2 半導体領域と、
前記第 1 半導体領域内において前記第 2 半導体領域の射影を含む、第
2 導電型のゲート領域と、
を含むシリコンよりもエネルギーバンドギャップが大きな半導体基板と、
前記第 1 半導体領域に電氣的に接続されるドレイン電極と、
前記第 2 半導体領域に電氣的に接続されるソース電極と、
前記第 1 半導体領域の前記表面に電氣的に接続されるゲート電極と
を備え、
前記第 1 半導体領域と前記ゲート電極とがショットキー接合を形成す
ることを特徴とする電力変換装置。

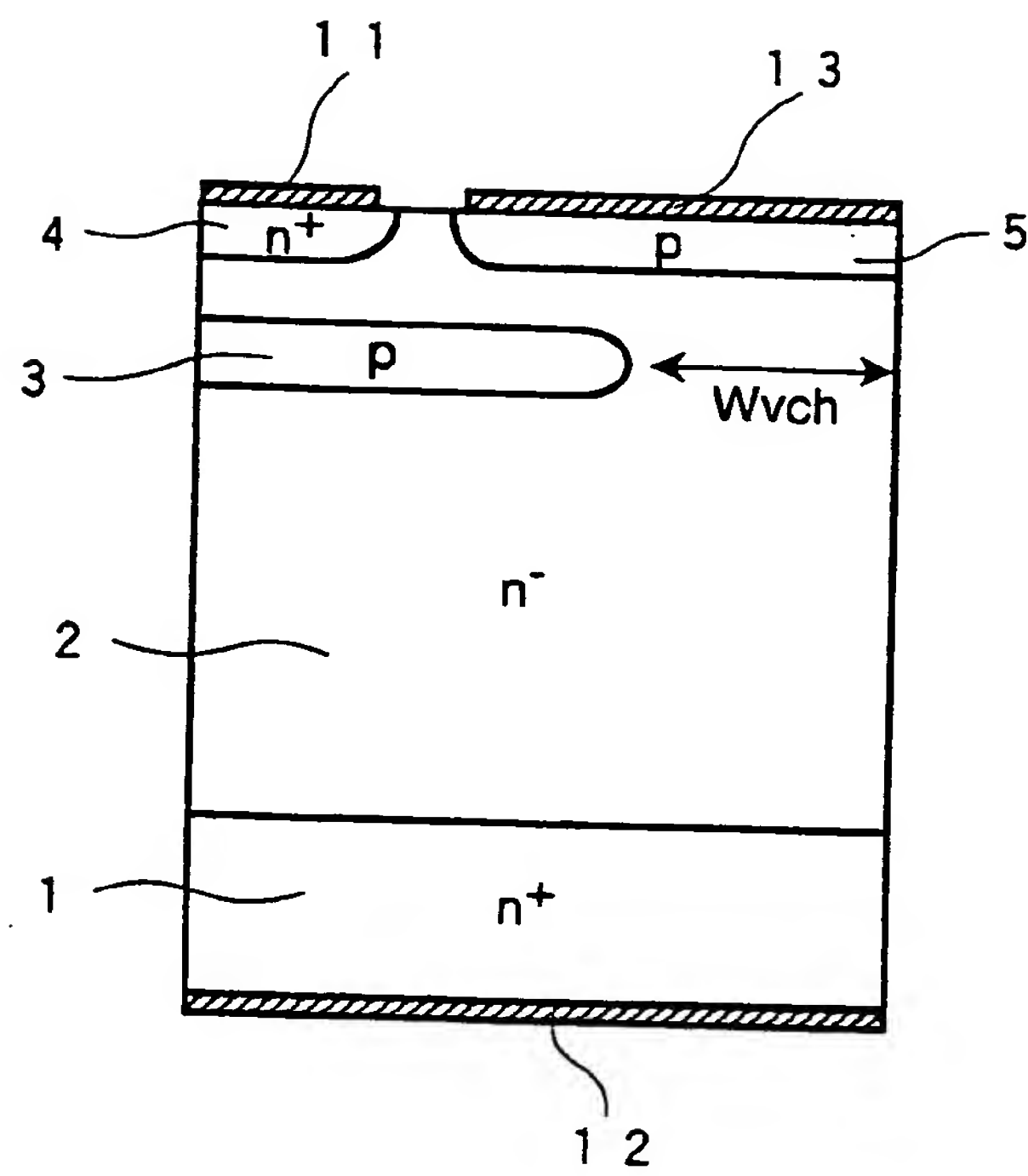
第1図



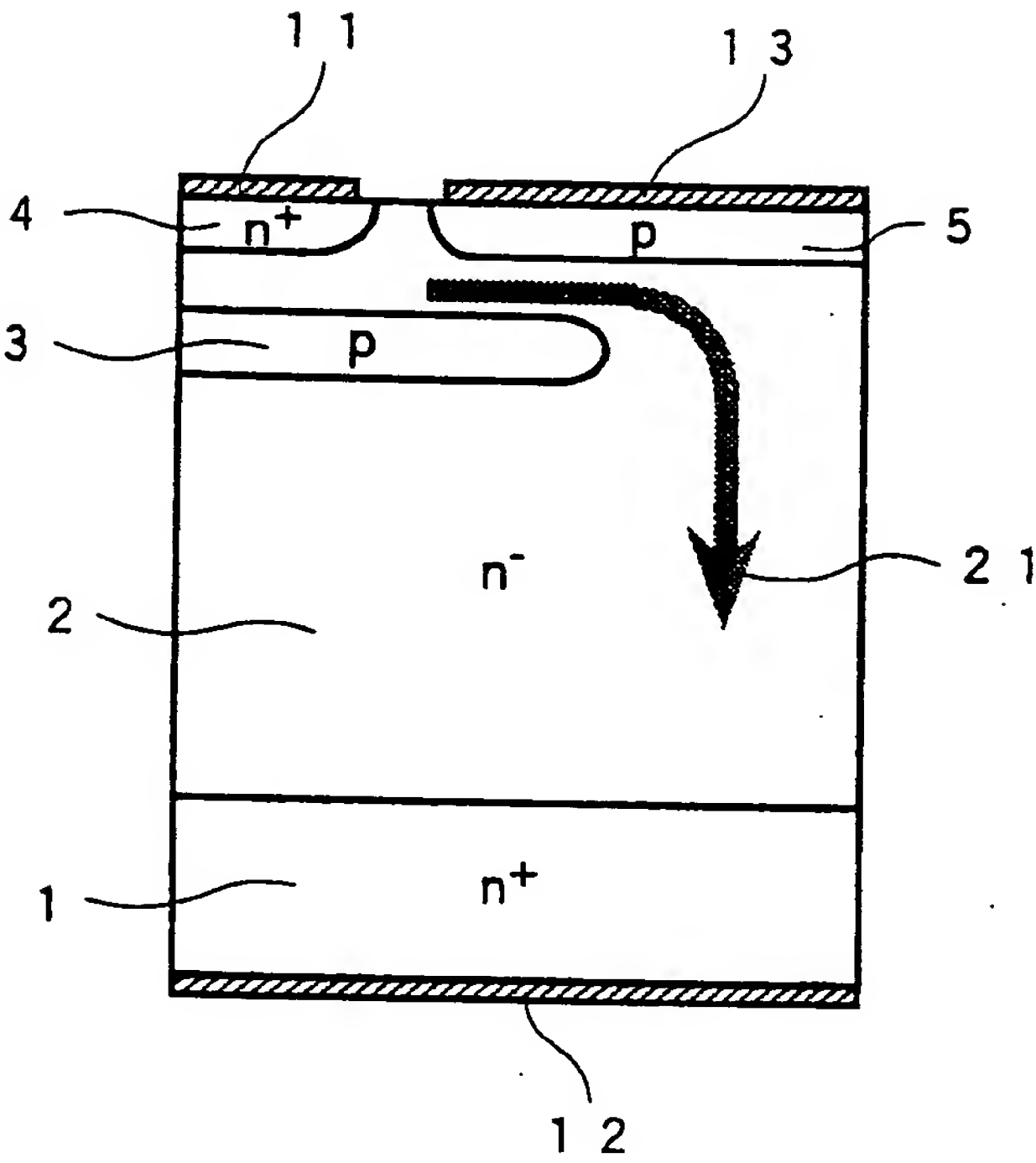
第2図



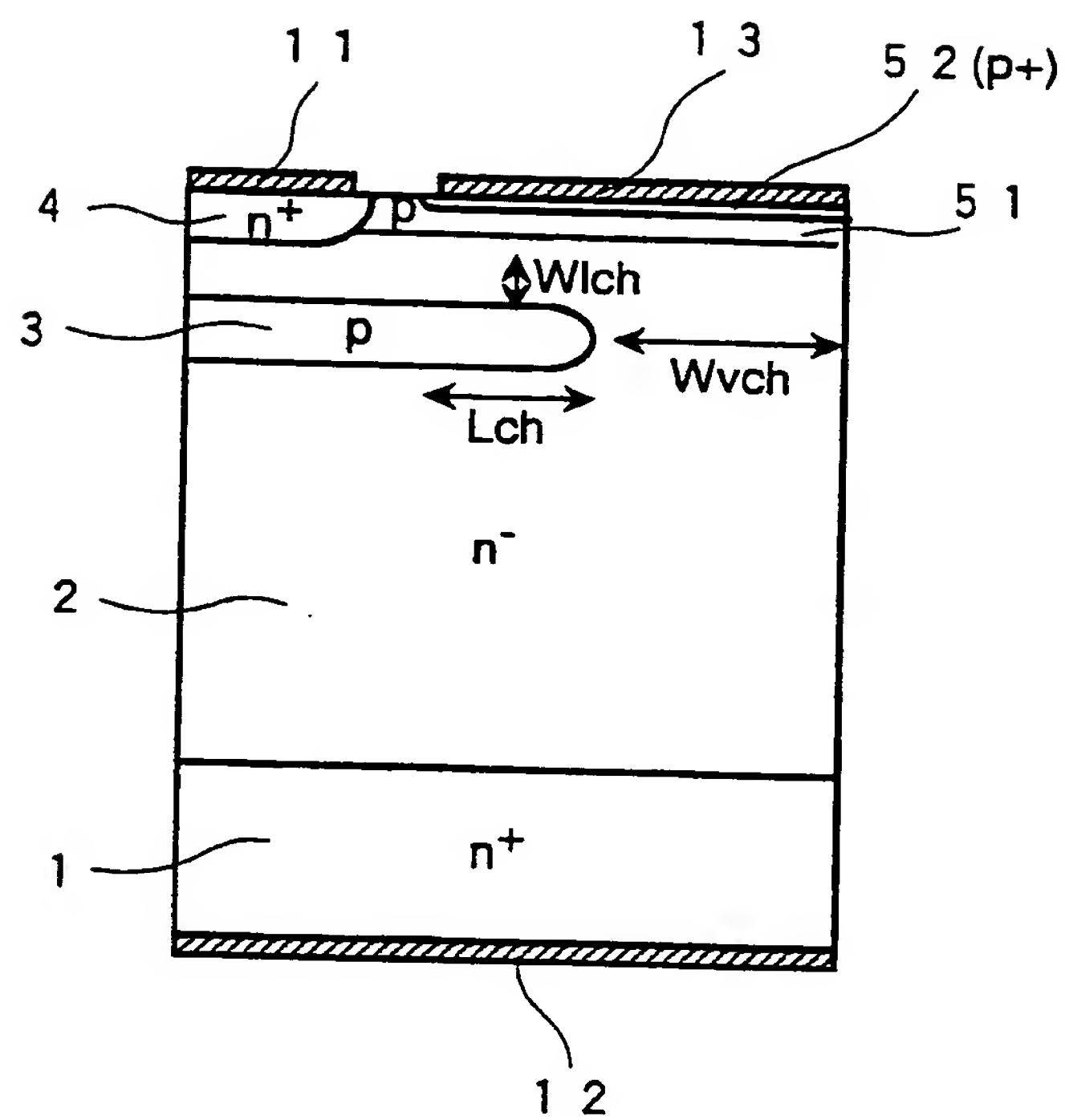
第3図



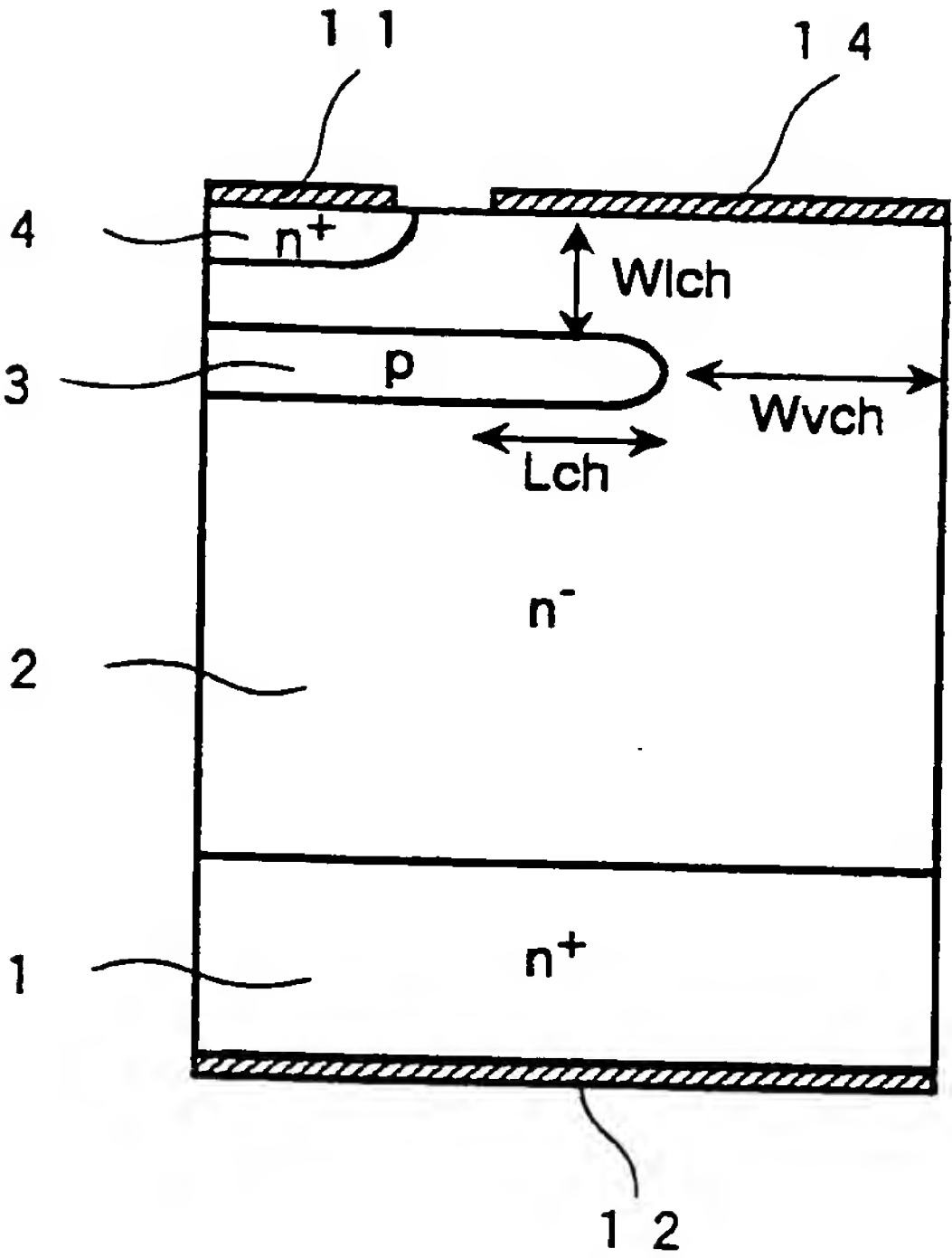
第 4 図



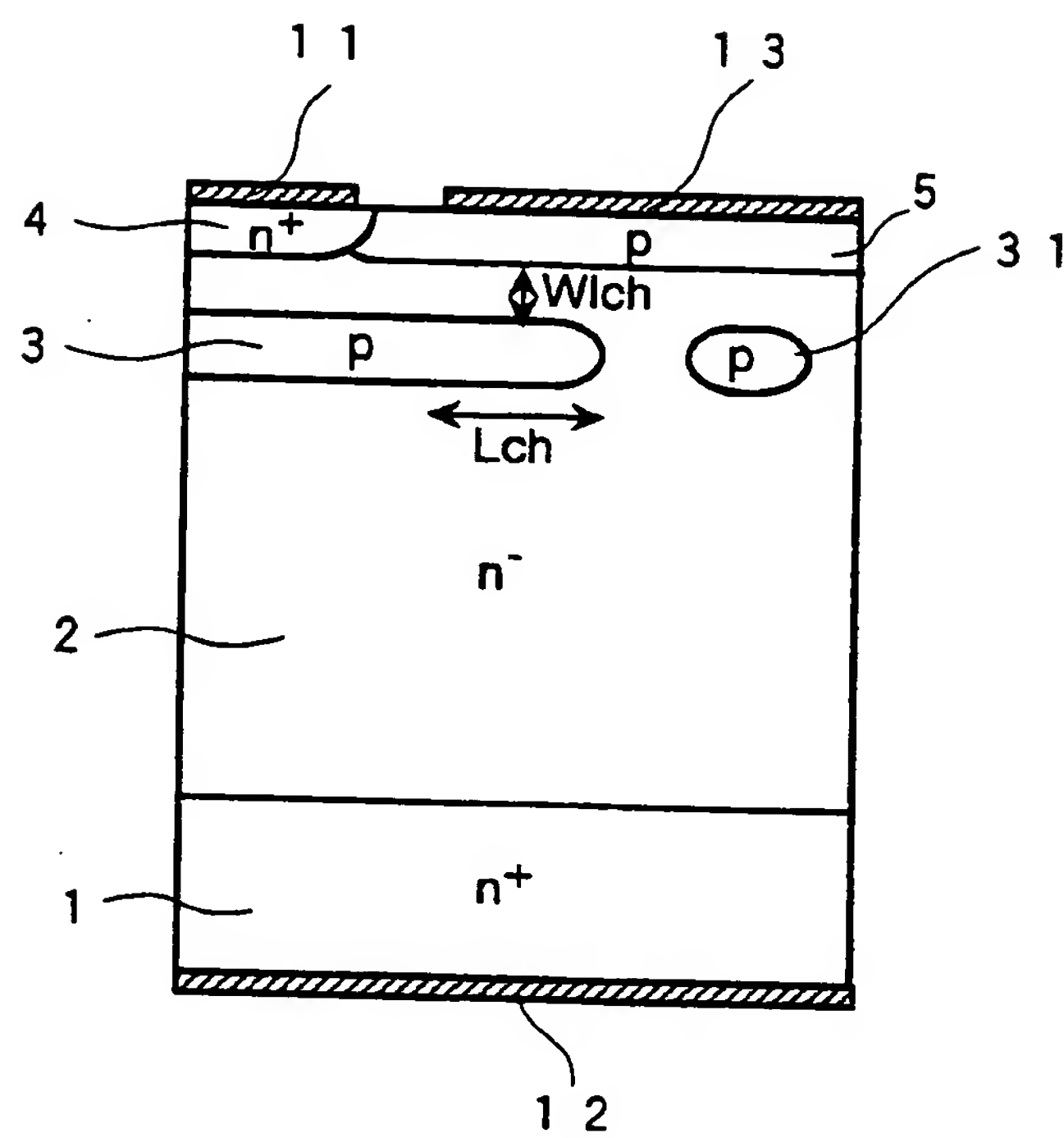
第5図



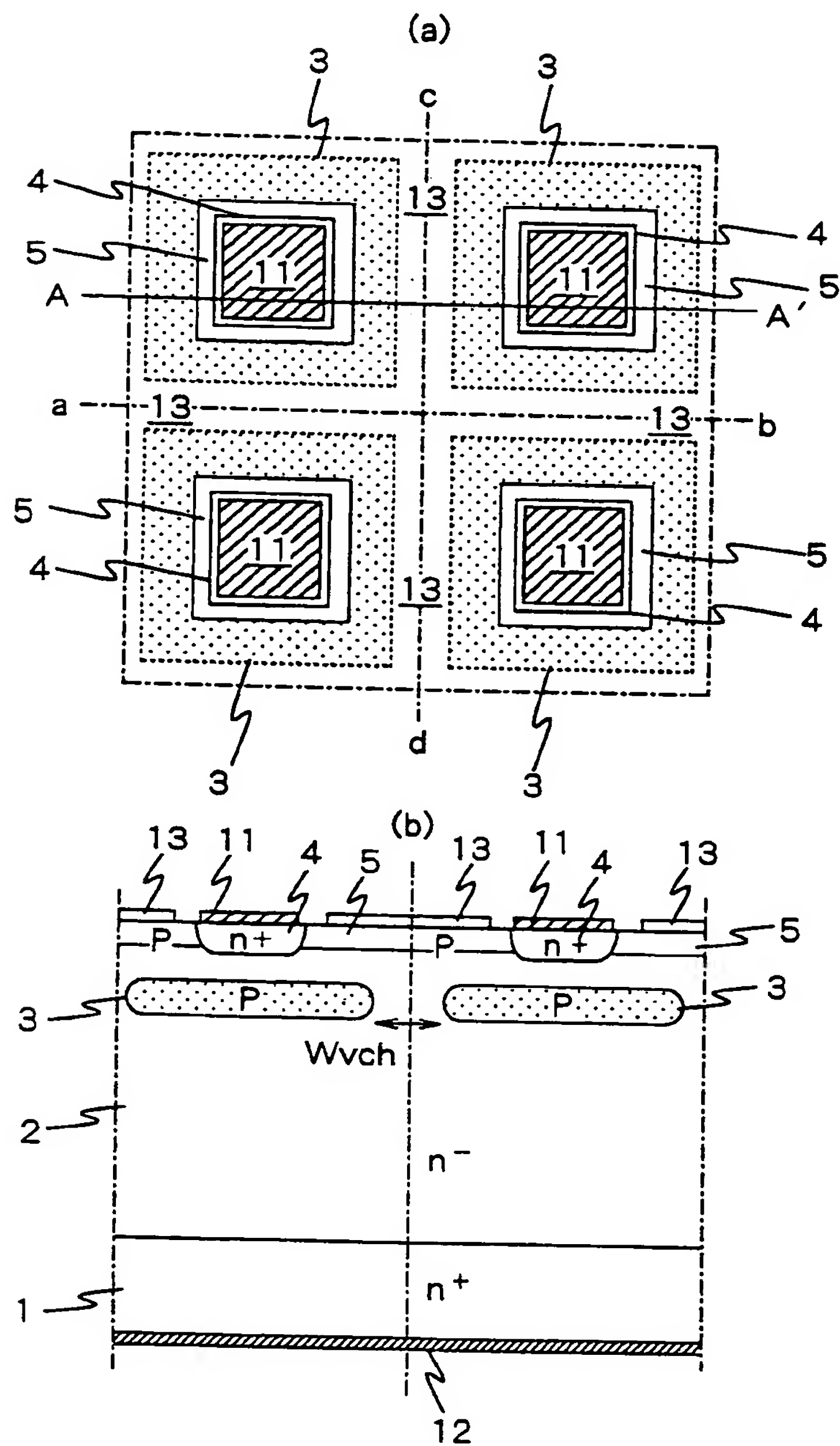
第 6 図



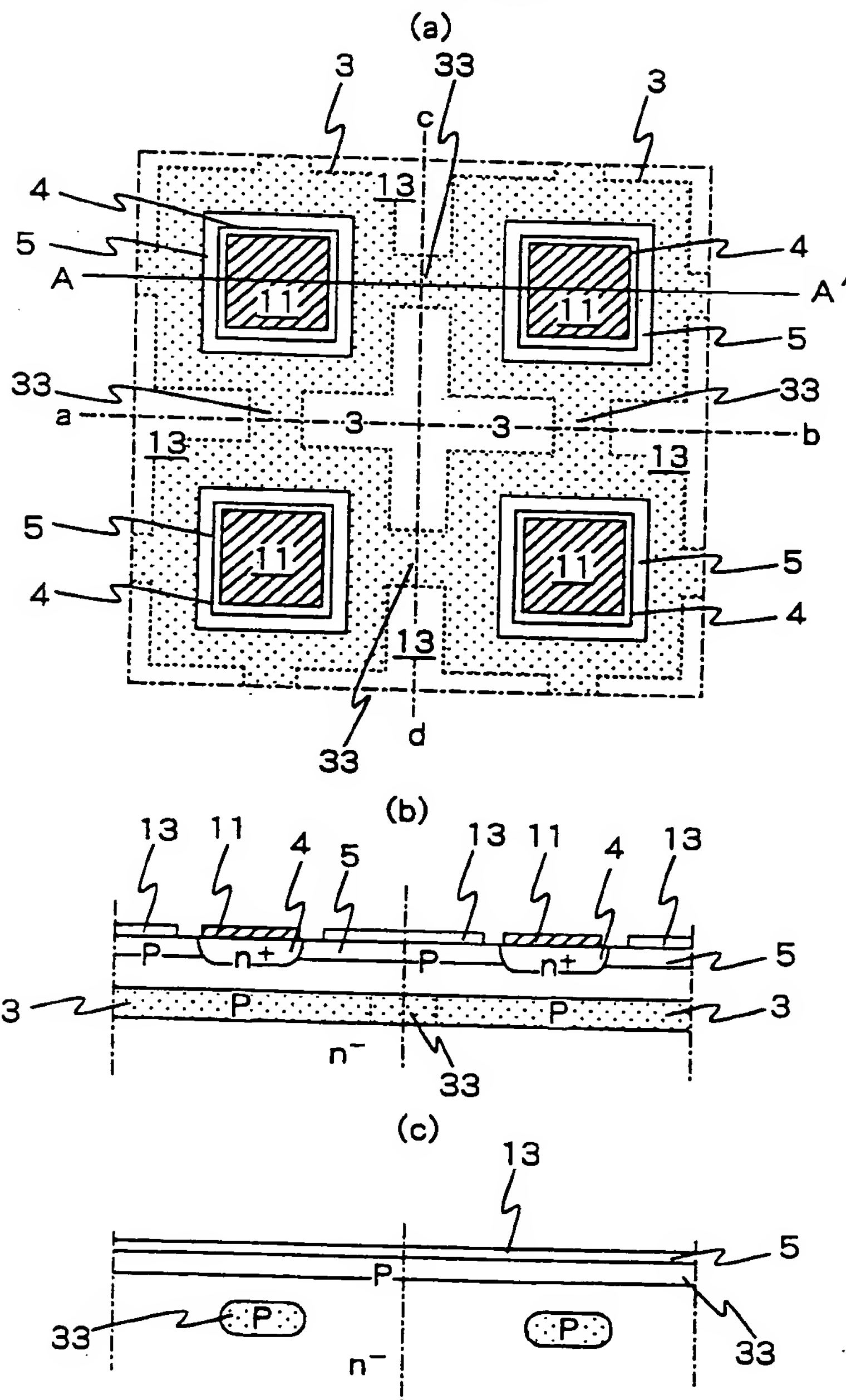
第7図



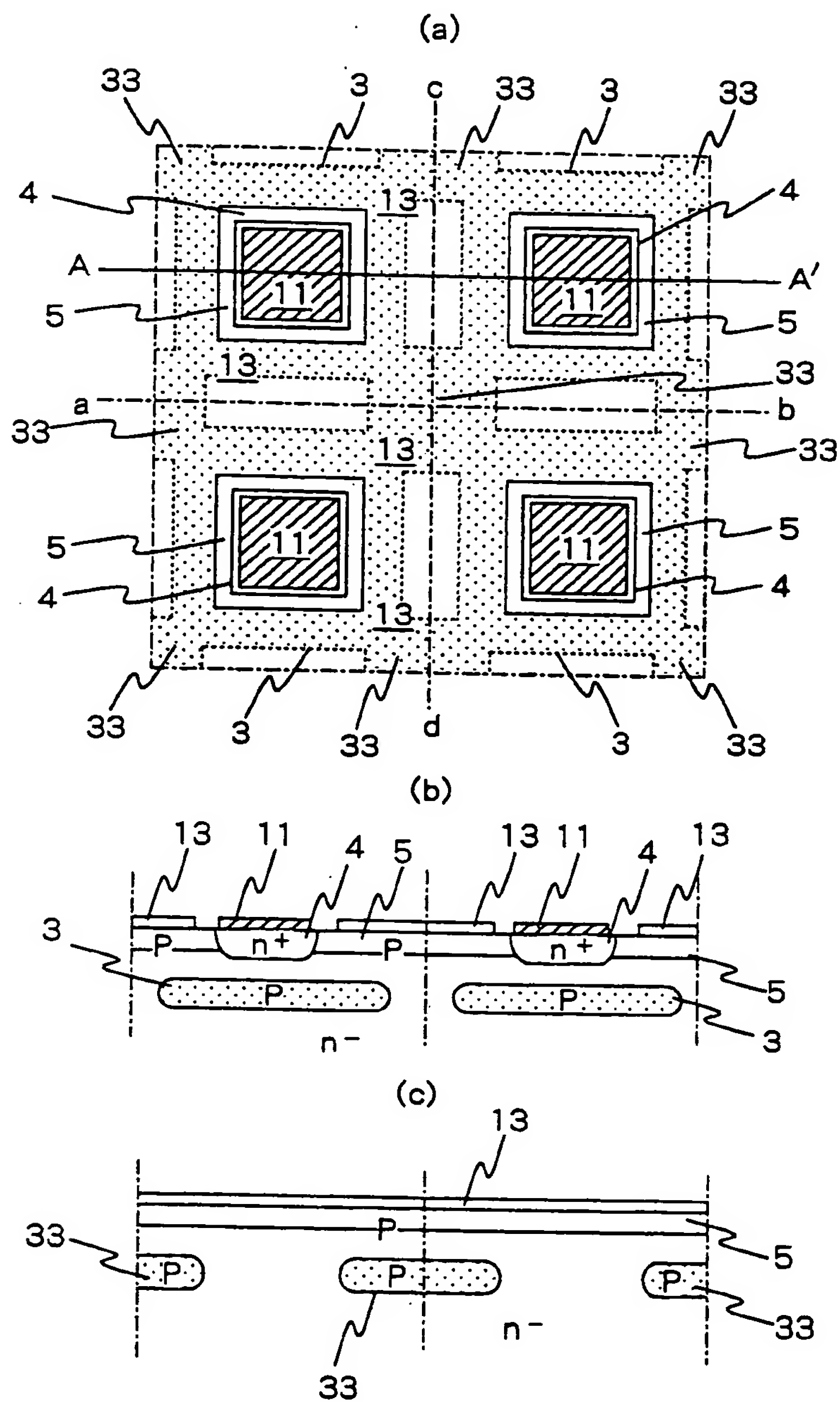
第8図



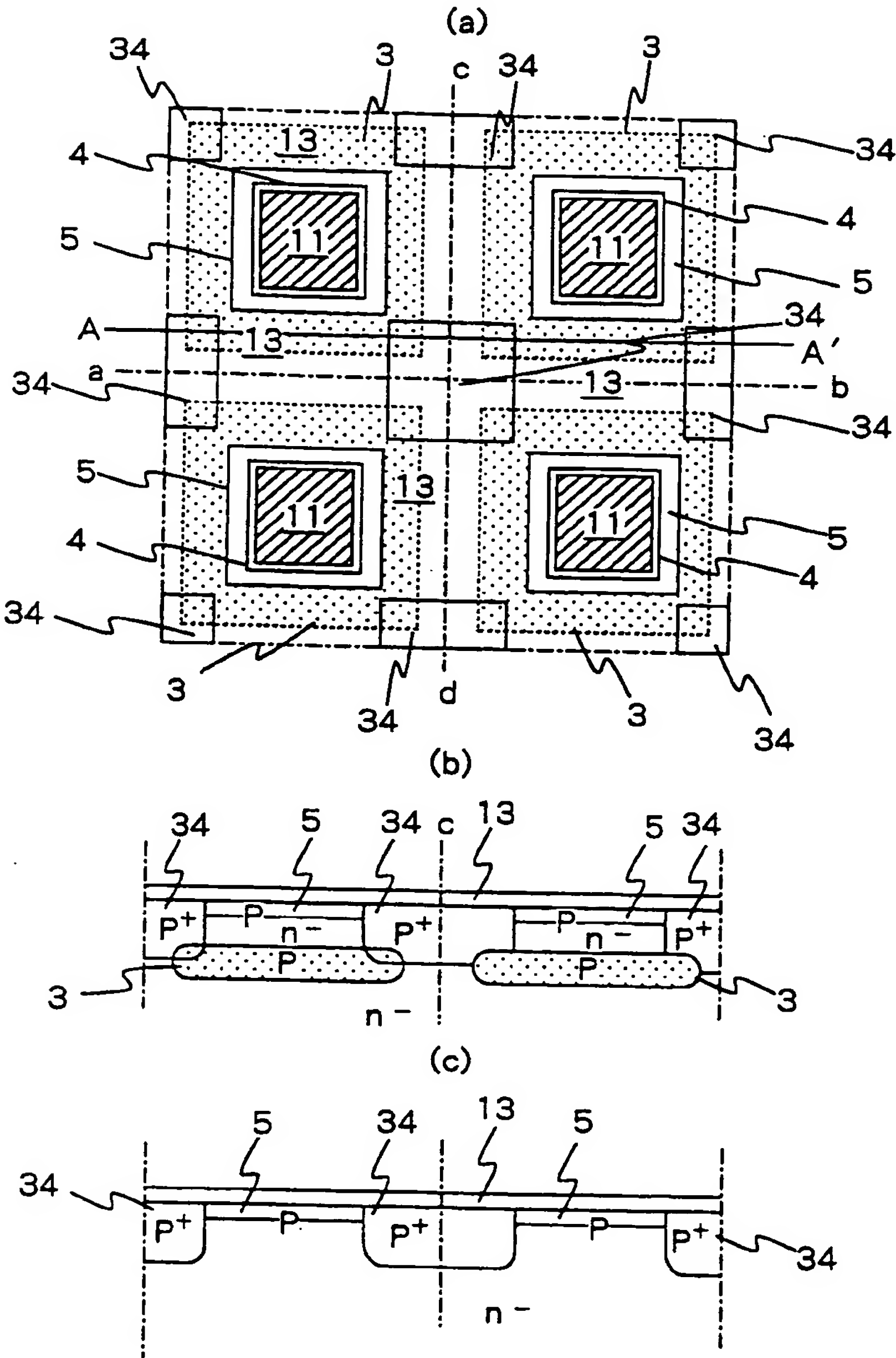
第9図



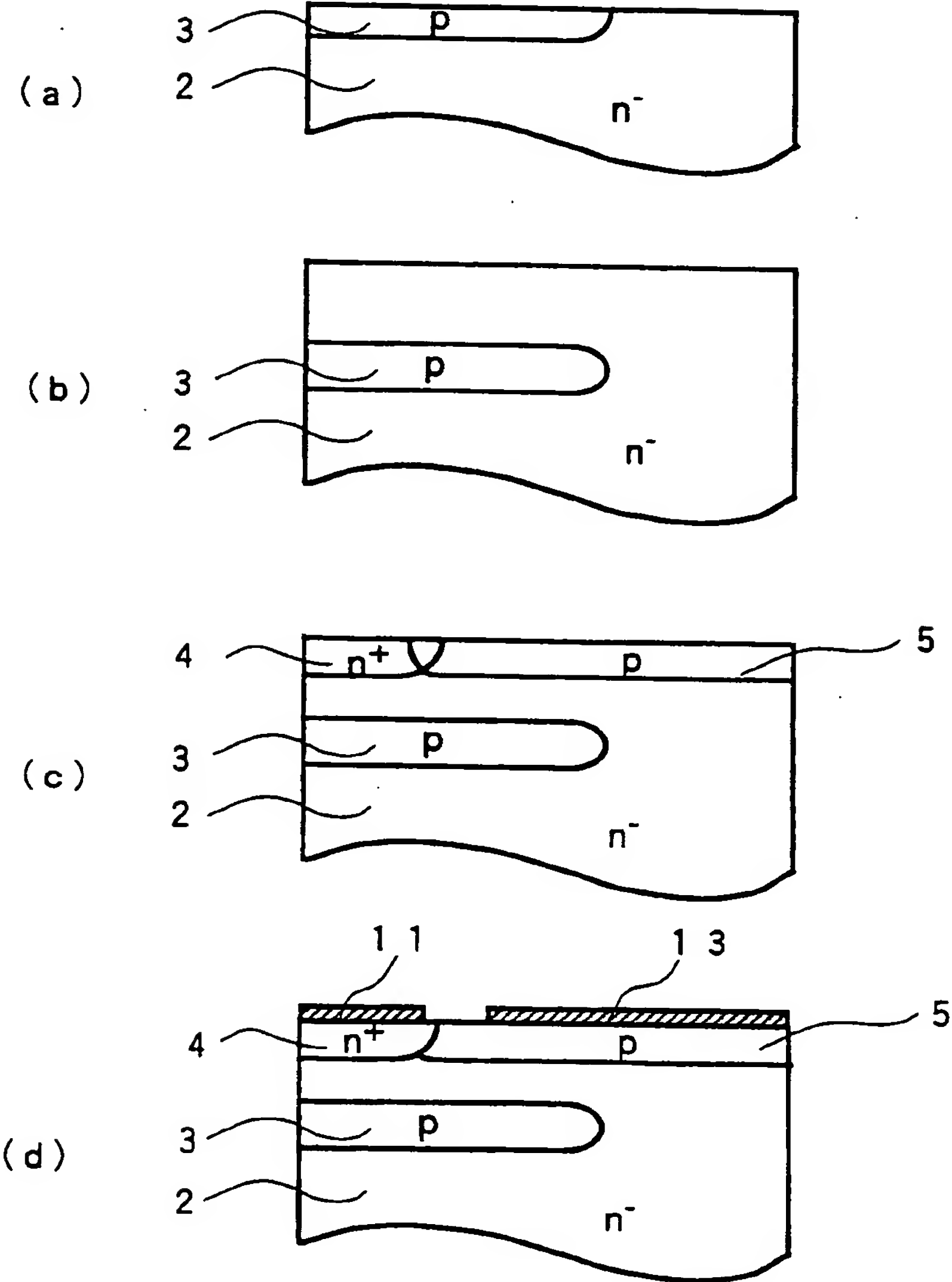
第10図



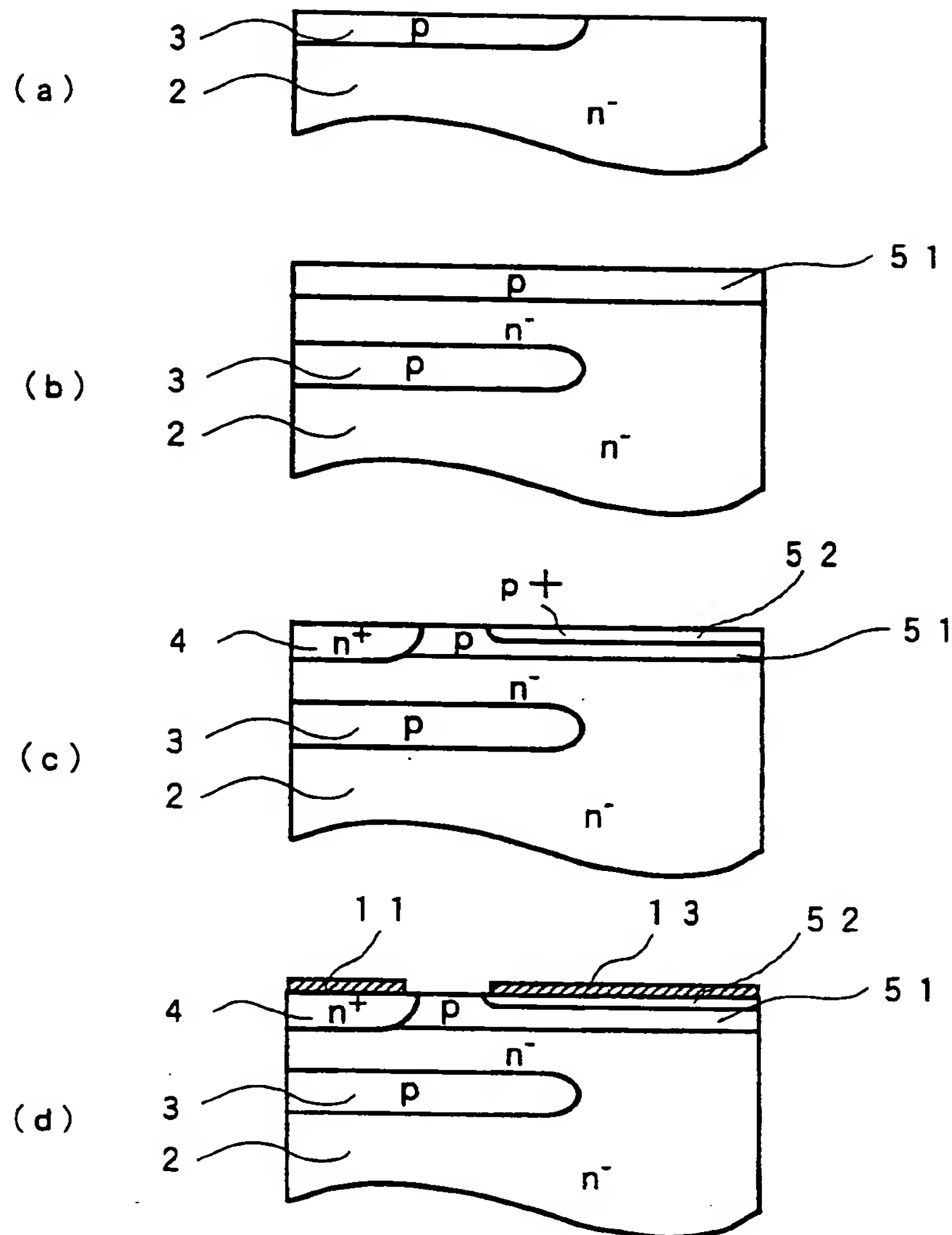
第11図



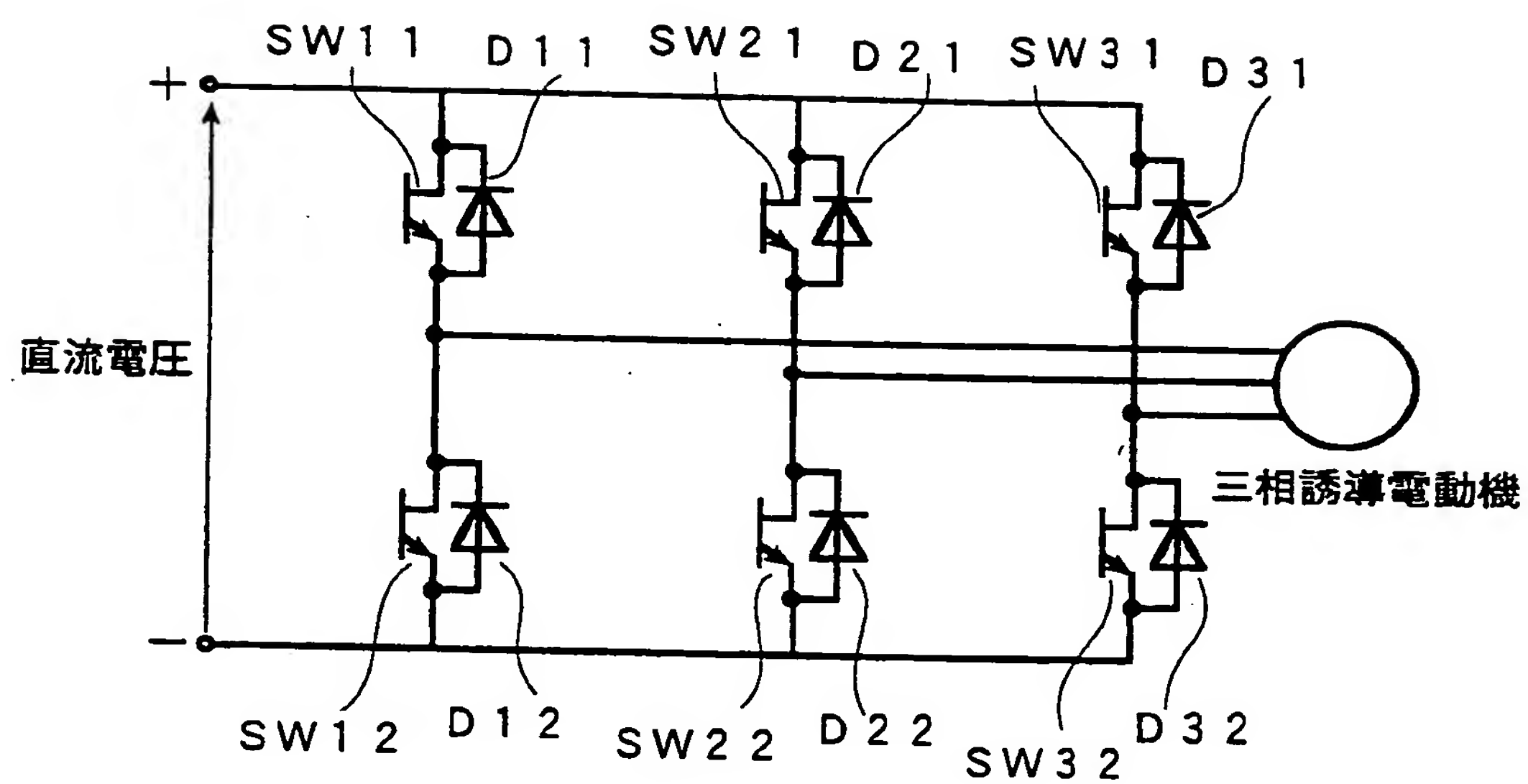
第12図



第13図



第14図



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP98/04039

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ H01L29/80, H02M1/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ H01L29/80, H01L29/74, H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1994-1998
Kokai Jitsuyo Shinan Koho 1971-1998 Toroku Jitsuyo Shinan Koho 1996-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 59-150474, A (Toshiba Ltd.), 28 August, 1984 (28. 08. 84), Full text ; Figs. 3, 4	1-9, 11-13
A	Full text ; Figs. 3, 4 (Family: none)	10
Y	JP, 7-99325, A (Fuji Electric Co., Ltd.), 11 April, 1995 (11. 04. 95), Full text ; Figs. 1, 2	1-9, 11-13
A	Full text ; Figs. 1, 2 (Family: none)	10
Y	JP, 7-226498, A (Meidensha Corp.), 22 August, 1995 (22. 08. 95), Par. No. [0022] ; Figs. 1 to 4	1-6, 8, 9, 12
A	Par. No. [0022] ; Figs. 1 to 4 (Family: none)	10

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed
 "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
26 November, 1998 (26. 11. 98)

Date of mailing of the international search report
8 December, 1998 (08. 12. 98)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/04039

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 55-80362, A (Matsushita Electric Industrial Co., Ltd.), 17 June, 1980 (17. 06. 80), Page 2, upper right column, line 7 to lower left column, line 6 ; Fig. 2 (Family: none)	2
Y	JP, 63-7670, A (Sanken Electric Co., Ltd.), 13 January, 1988 (13. 01. 88), Page 2, lower left column, line 16 to page 5, lower left column, line 13 ; Figs. 1 to 11 (Family: none)	2, 3, 8, 9
Y	JP, 60-226185, A (Hitachi, Ltd.), 11 November, 1985 (11. 11. 85), Page 3, lower right column, line 20 to page 4, upper right column, line 9 ; Fig. 6 (Family: none)	5
Y	JP, 7-236285, A (Matsushita Electric Works, Ltd.), 5 September, 1995 (05. 09. 95), Fig. 4 (Family: none)	12, 13
EA	JP, 10-294471, A (Hitachi, Ltd.), 4 November, 1998 (04. 11. 98), Full text ; Figs. 1 to 12 (Family: none)	1-13

国際調査報告

国際出願番号 PCT/JP98/04039

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁸ H01L29/80, H02M1/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁸ H01L29/80, H01L29/74, H02M1/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-1998年

日本国実用新案登録公報 1994-1998年

日本国登録実用新案公報 1996-1998年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 59-150474, A (株式会社東芝), 28. 8月. 1984 (28. 08. 84), 全文, 第3-4図	1-9,
A	全文, 第3-4図 (ファミリーなし)	11-13 10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

26. 11. 98

国際調査報告の発送日

08.12.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

齋藤 恭一

4M

9733

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 7-99325, A (富士電気株式会社), 11. 4月. 1995 (11. 04. 95), 全文, 第1-2図	1-9, 11-13 10
A	全文, 第1-2図 (ファミリーなし)	
Y	J P, 7-226498, A (株式会社明電舎), 22. 8月. 1995 (22. 08. 95), 段落番号【0022】, 図1-4	1-6, 8, 9, 12 10
A	段落番号【0022】, 図1-4 (ファミリーなし)	
Y	J P, 55-80362, A (松下電器産業株式会社), 17. 6月. 1980 (17. 06. 80), 第2頁右上欄第7行-左下欄第6行, 第2図 (ファミリーなし)	2
Y	J P, 63-7670, A (サンケン電気株式会社), 13. 1月. 1988 (13. 01. 88), 第2頁左下欄第16行-第5頁左下欄第13行, 第1-11図 (ファミリーなし)	2, 3, 8, 9
Y	J P, 60-226185, A (株式会社日立製作所), 11. 11月. 1985 (11. 11. 85), 第3頁右下欄第20行-第4頁右上欄第9行, 第6図 (ファミリーなし)	5
Y	J P, 7-236285, A (松下電工株式会社), 5. 9月. 1995 (05. 09. 95), 図4 (ファミリーなし)	12, 13
EA	J P, 10-294471, A (株式会社日立製作所), 4. 11月. 1998 (04. 11. 98), 全文, 図1-12 (ファミリーなし)	1-13